



ANALOG DEVICES 小型、16/14/12位SPI nanoDAC+，具有 ±2(16位) LSB INL和2 ppm/°C基准电压源

AD5683R/AD5682R/AD5681R/AD5683

产品特性

超小型封装：2 mm x 2 mm、8引脚LFCSP

高相对精度(INL)：16位时最大±2 LSB

AD5683R/AD5682R/AD5681R

低漂移2.5 V基准电压源：2 ppm/°C(典型值)

可选输出范围：2.5 V或5 V

AD5683

仅外部基准电压源

可选输出范围： V_{REF} 或 $2 \times V_{REF}$

总不可调整误差(TUE)：0.06% FSR(最大值)

失调误差：±1.5 mV(最大值)

增益误差：±0.05% FSR最大值

低毛刺：0.1 nV-sec

高驱动能力：20 mA

低功耗：1.2 mW (3.3 V)

独立逻辑电源：1.8 V至5.5 V

宽工作温度范围：-40°C至+105°C

鲁棒的4 kV HBM ESD保护

应用

过程控制

数据采集系统

数字增益和失调电压调整

可编程电压源

概述

AD5683R/AD5682R/AD5681R/AD5683均属于nanoDAC+系列，分别是低功耗、单通道、16/14/12位缓冲电压输出DAC。除了AD5683，这些器件均内置默认使能的2.5 V基准电压源，其温漂为2 ppm/°C。输出范围可编程设置为0 V至 V_{REF} 或0 V至 $2 \times V_{REF}$ 。采用2.7 V至5.5 V单电源供电，通过设计保证单调性。提供2.00 mm x 2.00 mm、8引脚LFCSP或10引脚MSOP封装。

内部上电复位电路确保DAC寄存器上电时写入零电平，而内部输出缓冲器配置为正常模式。AD5683R/AD5682R/AD5681R/AD5683具有掉电模式，可在5 V时降低器件功耗至2 μA(最大值)，并且在掉电模式下提供软件可选的输出负载。

Rev. A

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

功能框图

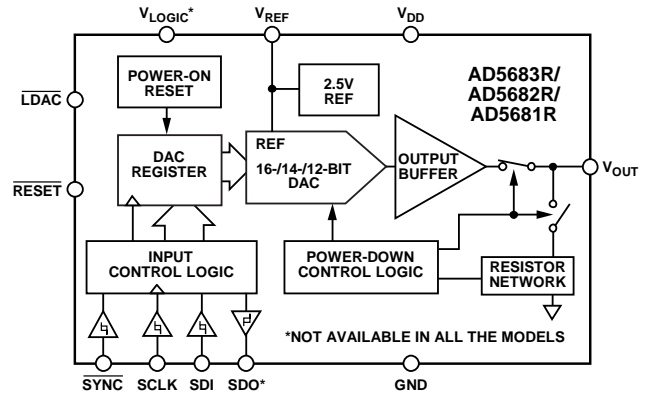


图1. AD5683R/AD5682R/AD5681R MSOP (更多信息参见“功能框图—LFCSP”部分)

AD5683R/AD5682R/AD5681R/AD5683使用多功能三线式串行接口，以最高50 MHz的时钟速率工作。某些器件还提供异步RESET引脚和V_{LOGIC}引脚选项，具有1.8 V兼容性。

表1. 单通道nanoDAC+器件组合

接口	基准电压源	16位	14位	12位
SPI	内部	AD5683R	AD5682R	AD5681R
SPI	外部	AD5683		

产品特色

- 高相对精度(INL)。
 - AD5683R/AD5683(16位)：±2 LSB(最大值)。
- 低漂移2.5 V片内基准电压源。
 - 温度系数：2 ppm/°C(典型值)。
 - 温度系数：5 ppm/°C(最大值)。
- 两种封装选项：
 - 2.00 mm x 2.00 mm、8引脚LFCSP。
 - 10引脚MSOP。

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013–2014 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

目录

产品特性	1	数模转换器	19
应用	1	传递函数	19
功能框图	1	DAC架构	19
概述	1	串行接口	21
产品特点	1	SPI串行数据接口	21
修订历史	2	短写操作(仅AD5681R)	21
功能框图—LFCSP	3	内部寄存器	23
技术规格	4	命令	23
交流特性	6	硬件LDAC	25
时序特性	6	硬件RESET	25
绝对最大额定值	8	热滞	26
热阻	8	上电时序	26
ESD警告	8	布局布线指南	26
引脚配置和功能描述	9	外形尺寸	27
典型性能参数	11	订购指南	28
术语	17		
工作原理	19		

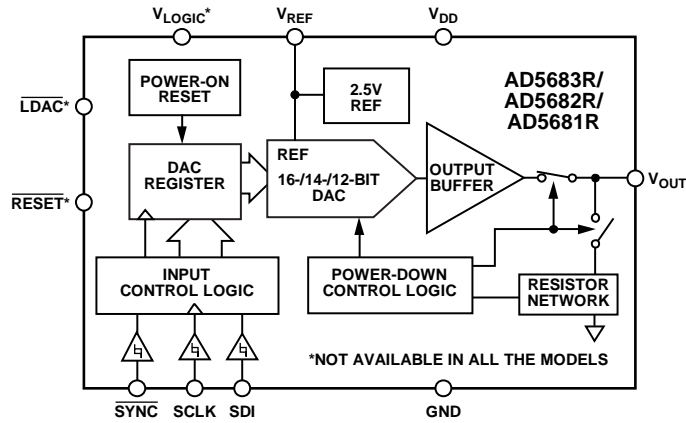
修订历史

2014年1月—修订版0至修订版A

更改“产品特性”部分	1
删除表2的尾注2、尾注3、尾注5和尾注6；重新排序	5
删除表3的尾注2；重新排序	6
删除表4的尾注1；重新排序	6
更改表5	8
删除“回流焊”部分和图53，重新排序	25

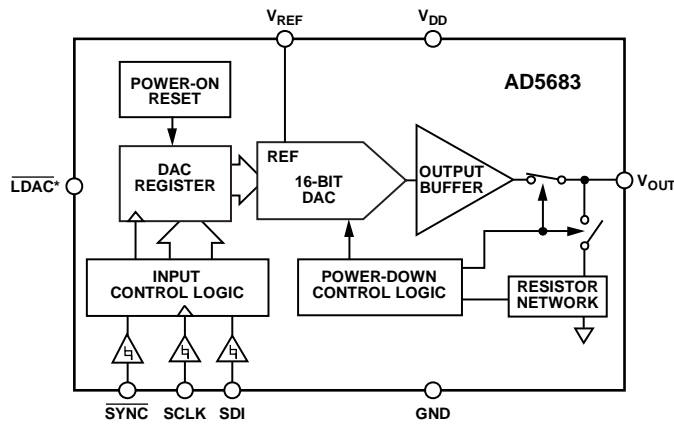
2013年12月—修订版0：初始版

功能框图—LFCSP



11955-002

图2. AD5683R/AD5682R/AD5681R LFCSP



11955-003

图3. AD5683 LFCSP

AD5683R/AD5682R/AD5681R/AD5683

技术规格

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $R_L = 2\text{ k}\Omega$ 接GND, $C_L = 200\text{ pF}$ 接GND, $V_{REF} = 2.5\text{ V}$, $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V ,
 $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表2.

参数	最小值	典型值	最大值	单位	测试条件/注释
静态性能 ¹					
AD5683R					
分辨率	16			位	
相对精度(INL)				LSB	
A级			±8	LSB	
B级			±2	LSB	增益 = 2
			±3	LSB	增益 = 1
差分非线性(DNL)			±1	LSB	通过设计保证单调性
AD5683					
分辨率	16			位	
相对精度(INL)			±2	LSB	增益 = 2
			±3	LSB	增益 = 1
差分非线性(DNL)			±1	LSB	通过设计保证单调性
AD5682R					
分辨率	14			位	
相对精度(INL)			±1	LSB	
差分非线性(DNL)			±1	LSB	通过设计保证单调性
AD5681R					
分辨率	12			位	
相对精度(INL)			±1	LSB	
差分非线性(DNL)			±1	LSB	通过设计保证单调性
零代码误差			1.25	mV	DAC寄存器载入全0
失调误差			±1.5	mV	
满量程误差			±0.075	% FSR	DAC寄存器载入全1
增益误差			±0.05	% FSR	
总不可调整误差(TUE)			±0.16	% FSR	内部基准电压源, 增益 = 1
			±0.14	% FSR	内部基准电压源, 增益 = 2
			±0.075	% FSR	外部基准电压源, 增益 = 1
			±0.06	% FSR	外部基准电压源, 增益 = 2
零编码误差漂移		±1		$\mu\text{V}/^\circ\text{C}$	
失调误差漂移		±1		$\mu\text{V}/^\circ\text{C}$	
增益温度系数		±1		ppm/ $^\circ\text{C}$	
直流电源抑制比(PSRR)		0.2		mV/V	DAC代码 = 中间电平; $V_{DD} = 5\text{ V} \pm 10\%$
输出特性					
输出电压范围	0		V_{REF}	V	增益 = 1
	0		$2 \times V_{REF}$	V	增益 = 2
容性负载稳定性		2		nF	$R_L = \infty$
		10		nF	$R_L = 2\text{ k}\Omega$
阻性负载	1			k Ω	$C_L = 0\text{ }\mu\text{F}$
负载调整率		10		$\mu\text{V}/\text{mA}$	5 V, DAC代码 = 中间电平; $-30\text{ mA} \leq I_{OUT} \leq +30\text{ mA}$
		10		$\mu\text{V}/\text{mA}$	3 V, DAC代码 = 中间电平; $-20\text{ mA} \leq I_{OUT} \leq +20\text{ mA}$
短路电流	20	30	50	mA	
供电轨上的负载阻抗 ²		20		Ω	

AD5683R/AD5682R/AD5681R/AD5683

参数	最小值	典型值	最大值	单位	测试条件/注释
基准输出					
输出电压	2.4975		2.5025	V	环境温度
基准电压源TC ³					参见“术语”部分
A级		5	20	ppm/°C	
B级		2	5	ppm/°C	
输出阻抗		0.05		Ω	
输出电压噪声		16.5		μV p-p	0.1 Hz至10 Hz
输出电压噪声密度		250		nV/√Hz	环境温度下; f = 10 kHz, C _L = 10 nF
容性负载稳定性		5		μF	R _L = 2 kΩ
负载调整率(源)		50		μV/mA	环境温度; V _{DD} ≥ 3 V
负载调整率(吸)		30		μV/mA	环境温度
输出电流负载能力		±5		mA	V _{DD} ≥ 3 V
电压调整率		80		μV/V	环境温度
热滞		125		ppm	第一周期
		25		ppm	其它周期
基准输入					
基准电流		26		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, 增益 = 1
		47		μA	V _{REF} = V _{DD} = V _{LOGIC} = 5.5 V, 增益 = 2
基准输入范围	1		V _{DD}	V	
基准输入阻抗		120		kΩ	增益 = 1
		60		kΩ	增益 = 2
逻辑输入					
输入电流I _{IN}			±1	μA	每引脚
输入低电压V _{INL} ⁴			0.3 × V _{DD}	V	
输入高电压V _{INH} ⁵	0.7 × V _{DD}			V	
引脚电容C _{IN}		2		pF	
逻辑输出(SDO) ⁵					
输出低电压V _{OL}			0.4	V	I _{SINK} = 200 μA
输出高电压V _{OH}	V _{DD} - 0.4			V	I _{SOURCE} = 200 μA
引脚电容		4		pF	
电源要求					
V _{LOGIC} ⁵	1.8		5.5	V	
I _{LOGIC} ⁵		0.25	3	μA	V _{IH} = V _{LOGIC} 或 V _{IL} = GND
V _{DD}	2.7		5.5	V	增益 = 1
	V _{REF} + 1.5		5.5	V	增益 = 2
I _{DD} ⁶					V _{IH} = V _{DD} , V _{IL} = GND
正常模式 ⁷		350	500	μA	使能内部基准电压源
掉电模式 ⁸		110	180	μA	禁用内部基准电压源
			2	μA	

¹ 线性度计算使用缩减的数据范围: AD5683R和AD5683(编码512至编码65,535); AD5682R(编码128至编码16,384); AD5681R(编码32至编码4096)。输出端无负载。

² 从任一供电轨吸取负载电流时, 相对于该供电轨的输出电压裕量受输出器件的20 Ω典型通道电阻限制。例如, 吸取1 mA时, 最小输出电压 = 20 Ω, 1 mA产生20 mV。参见图38(上裕量/下裕量与负载电流的关系)。

³ 基准电压源温度系数采用黑盒法计算。详情见“术语”部分。

⁴ 如果器件具有V_{LOGIC}引脚, 请用V_{LOGIC}代替V_{DD}。

⁵ 不是所有型号都提供V_{LOGIC}和SDO引脚。

⁶ 如果V_{LOGIC}引脚不可用, 则I_{DD} = I_{DD} + I_{LOGIC}。

⁷ 接口未启用。DAC启用。DAC输出端无负载。

⁸ DAC掉电。

AD5683R/AD5682R/AD5681R/AD5683

交流特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $R_L = 2\text{ k}\Omega$ 接GND, $C_L = 200\text{ pF}$ 接GND, $V_{REF} = 2.5\text{ V}$, $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。¹

表3.

参数	典型值	最大值	单位	条件/注释
输出电压建立时间 ^{2,3}	5	7	μs	增益 = 1
压摆率	0.7		$\text{V}/\mu\text{s}$	
数模转换毛刺脉冲 ²	0.1		$\text{nV}\cdot\text{sec}$	主进位 ± 1 LSB变化, 增益 = 2
数字馈通 ²	0.1		$\text{nV}\cdot\text{sec}$	
总谐波失真 ²	-83		dB	$V_{REF} = 2\text{ V} \pm 0.1\text{ V p-p}$, 频率 = 10 kHz
输出噪声频谱密度	200		$\text{nV}/\sqrt{\text{Hz}}$	DAC编码 = 中间量程, 10 kHz
输出噪声	6		$\mu\text{V p-p}$	0.1 Hz至10 Hz; 内部基准源, DAC = 零电平
SNR	90		dB	环境温度下; BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
无杂散动态范围(SFDR)	88		dB	环境温度下; BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$
信纳比(SINAD)	82		dB	环境温度下; BW = 20 kHz, $V_{DD} = 5\text{ V}$, $f_{OUT} = 1\text{ kHz}$

¹ 温度范围为 -40°C 至 $+105^\circ\text{C}$, 典型值 25°C 。

² 参见术语部分。

³ AD5683R/AD5683至 ± 2 LSB, AD5682R至 ± 1 LSB, AD5681R至 ± 0.5 LSB。

时序特性

除非另有说明, $V_{DD} = 2.7\text{ V}$ 至 5.5 V , $V_{LOGIC} = 1.8\text{ V}$ 至 5.5 V , $-40^\circ\text{C} < T_A < +105^\circ\text{C}$ 。

表4.

参数 ¹	符号	1.8 V ≤ V _{LOGIC} ≤ 2.7 V		2.7 V ≤ V _{LOGIC} ≤ 5.5 V		菊花链和回读			单位	
		最小值	典型值	最大值	最小值	典型值	最大值	最小值		典型值
SCLK周期时间	t ₁	33		20		40				ns
SCLK高电平时间	t ₂	16		10		20				ns
SCLK低电平时间	t ₃	16		10		20				ns
SYNC到SCLK下降沿建立时间	t ₄	15		10		20				ns
数据建立时间	t ₅	5		5		5				ns
数据保持时间	t ₆	5		5		5				ns
SCLK下降沿到SYNC上升沿	t ₇	15		10		10				ns
最小SYNC高电平时间	t ₈	20		20		40				ns
SYNC下降沿到SCLK下降沿忽略	t ₉	16		10		10				ns
SCLK上升沿到SDO数据有效时间	t ₁₀							35		ns
SYNC上升沿到SCLK下降沿	t ₁₁					10				ns
SYNC上升沿到SDO禁用	t ₁₂							60		ns
SYNC上升沿到LDAC下降沿	t ₁₃	25		25		25				ns
LDAC低电平脉冲宽度	t ₁₄	20		15		15				ns
RESET低电平最小脉冲宽度	t ₁₅	75		75		75				ns
RESET脉冲启动时间	t ₁₆	150		150		150				ns
基准电压源上电时间 ³	t _{REF_POWER_UP} ⁴		600		600		600			μs
退出关断时间 ³	t _{SHUTDOWN} ⁵			6				6		μs

¹ 所有输入信号均指定 $t_r = t_f = 1\text{ ns}$ (10%到90%的 V_{DD})并从 $(V_{IL} + V_{IH})/2$ 电平起开始计时。

² 如果器件没有 V_{LOGIC} 引脚, 请用 V_{DD} 代替 V_{LOGIC} 。

³ 图4未显示。

⁴ $V_{DD} = 2.7\text{ V}$ 之后令器件上电时, 时序应相同。

⁵ AD5683R/AD5682R/AD5681R退出掉电模式进入正常工作模式所需的时间; SYNC上升沿到DAC中间电平值的90%, 且输出端无负载。

时序图和电路图

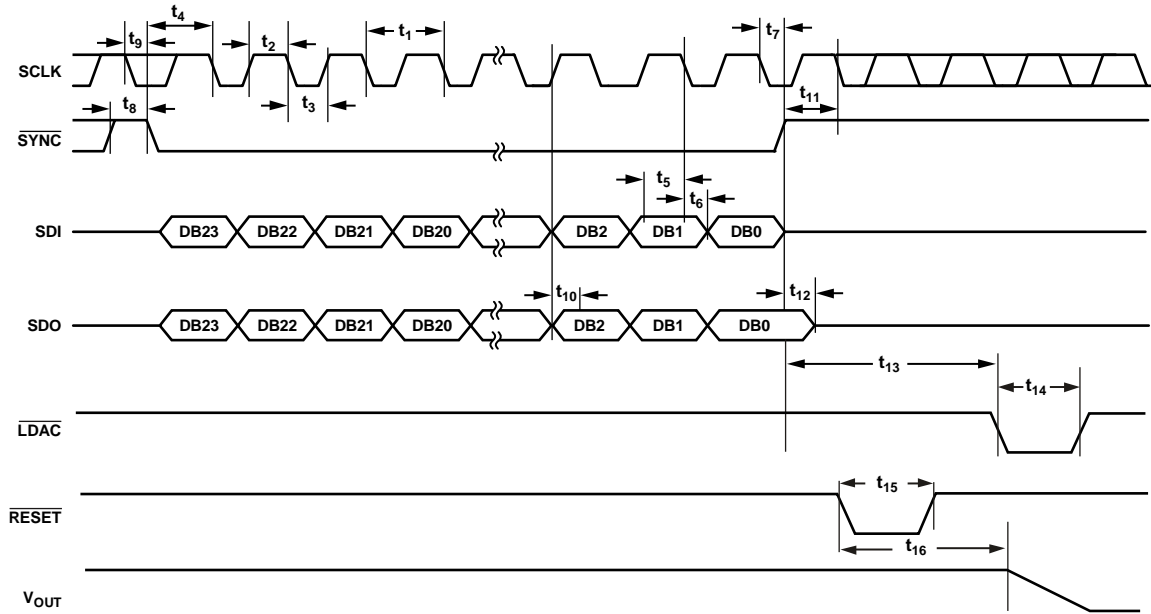


图4. SPI时序图，与模式1和模式2兼容(参见AN-1248应用笔记)

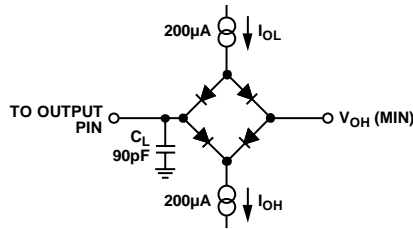


图5. 数字输出(SDO)时序规格的负载电路

AD5683R/AD5682R/AD5681R/AD5683

绝对最大额定值

除非另有说明, $T_A = 25^\circ\text{C}$ 。

表5.

参数	额定值
V_{DD} 至GND	-0.3 V至+7 V
V_{LOGIC} 至GND	-0.3 V至+7 V
V_{OUT} 至GND	-0.3 V至 $V_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
V_{REF} 至GND	-0.3 V至 $V_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
数字输入电压至GND ¹	-0.3 V至 $V_{DD} + 0.3 \text{ V}$ 或+7 V (取较小者)
工作温度范围 工业	-40°C至+105°C
存储温度范围 结温(T_J 最大值)	-65°C至+150°C 135°C
功耗	$(T_J \text{ max} - T_A)/\theta_{JA}$
ESD ²	4 kV
FICDM ³	1.25 kV

¹ 如果器件具有 V_{LOGIC} 引脚, 请用 V_{LOGIC} 代替 V_{DD} 。

² 人体模型(HBM)分类。

³ 场感应充电装置模型类别。

注意, 超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其他超出本技术规范操作章节中所示规格的条件下, 推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

热阻

θ_{JA} 由JEDEC JESD51标准定义, 其取值取决于测试板和测试环境。

表6. 热阻¹

封装类型	θ_{JA}	θ_{JC}	单位
8引脚 LFCSP	90	25	°C/W
10引脚 MSOP	135	N/A	°C/W

¹ JEDEC 2S2P测试板, 静止空气(0 m/s气流)。

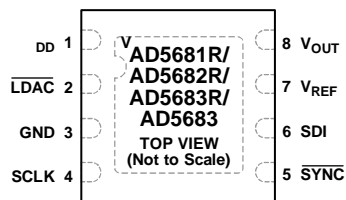
ESD警告



ESD(静电放电)敏感器件。

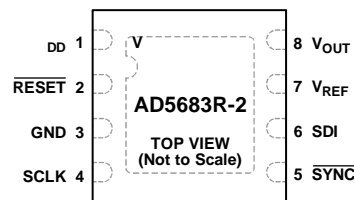
带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路, 但在遇到高能量ESD时, 器件可能会损坏。因此, 应当采取适当的ESD防范措施, 以避免器件性能下降或功能丧失。

引脚配置和功能描述



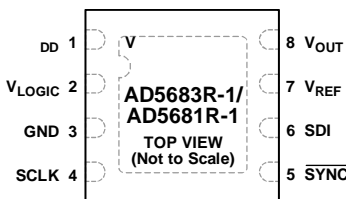
NOTES
1. CONNECT THE EXPOSED PAD TO GND.

图6. 引脚配置(8引脚LFCSP、LDAC选项)



NOTES
1. CONNECT THE EXPOSED PAD TO GND.

图8. 引脚配置(8引脚LFCSP、RESET选项)



NOTES
1. CONNECT THE EXPOSED PAD TO GND.

图7. 引脚配置(8引脚LFCSP、V_{LOGIC}选项)

表7. 8引脚LFCSP引脚功能描述

引脚编号			引脚名称	说明
LDAC	V _{LOGIC}	RESET		
1	1	1	V _{DD}	电源输入引脚。工作电压范围为2.7V至5.5V。将此电源去耦至GND。
2	N/A	N/A	LDAC	LDAC 支持异步模式(见图4)。发送脉冲使该引脚变为低电平后，当输入寄存器有新数据时，可以更新DAC寄存器。此引脚可以永久连接到低电平，这种情况下，当有新数据写入输入寄存器时，DAC会自动更新。
N/A	2	N/A	V _{LOGIC}	数字电源。电压范围为1.8V至5.5V。
N/A	N/A	2	RESET	异步复位输入。RESET输入对低电平敏感。当RESET为低电平时，所有LDAC脉冲都被忽略，输入和DAC寄存器为默认值，输出连接到GND。写入AD5683R的数据会被忽略。此引脚如果不用，可以接至V _{LOGIC} 。
3	3	3	GND	器件上所有电路的接地基准点。
4	4	4	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。数据能够以最高50 MHz的速率传输。
5	5	5	SYNC	低电平有效控制输入。这是输入数据的帧同步信号。当SYNC变为低电平时，SCLK和SDI缓冲器上电，输入移位寄存器使能。数据在后续24个时钟的下降沿读入。
6	6	6	SDI	串行数据输入。该器件有一个24位移位寄存器。数据在串行时钟输入的下降沿读入寄存器。
7	7	7	V _{REF}	AD5683R/AD5682R/AD5681R基准输出。使用内部基准电压源时，此引脚为基准输出。此引脚默认用作基准输出。建议通过一个10 nF电容将此引脚去耦至GND。
8	8	8	V _{OUT}	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。
0	0	0	EPAD	裸露焊盘。裸露焊盘应连接至GND。

AD5683R/AD5682R/AD5681R/AD5683

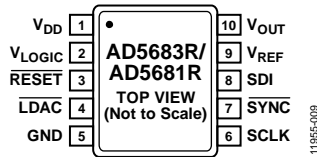


图9. 引脚配置(10引脚MSOP、 V_{LOGIC} 选项)

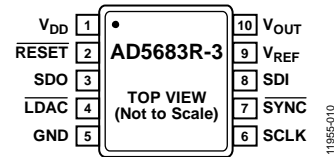


图10. 引脚配置(10引脚MSOP、SDO选项)

表8. 10引脚MSOP引脚功能描述

V_{LOGIC}	SDO	引脚名称	说明
1	1	V_{DD}	电源输入引脚。工作电压范围为2.7V至5.5V。应将此引脚去耦至GND。
2	N/A	V_{LOGIC}	数字电源。电压范围为1.8V至5.5V。应将此引脚去耦至GND。
3	2	\overline{RESET}	硬件复位引脚。 \overline{RESET} 输入对低电平敏感。 当 \overline{RESET} 为低电平时，器件复位，忽略外部引脚。
N/A	3	\overline{SDO}	输入和DAC寄存器载入零电平值，写入控制寄存器载入默认值。此引脚如果不用，应将其接至 V_{LOGIC} 。
4	4	LDAC	串行数据输出。可用于菊花链连接或回读命令。 加载DAC。将输入寄存器中的内容传送到DAC寄存器。 支持异步模式(见图4)。此引脚可以永久连接到低电平，这种情况下， 当有新数据写入输入寄存器时，DAC寄存器会自动更新。
5	5	GND	接地基准。
6	6	SCLK	串行时钟输入。数据在串行时钟输入的下降沿读入移位寄存器。 数据能够以最高50 MHz的速率传输。
7	7	\overline{SYNC}	同步数据输入。 当 \overline{SYNC} 变为低电平时，SCLK和SDI缓冲器以及输入移位寄存器使能。
8	8	SDI	串行数据输入。数据在SCLK的下降沿进行采样。
9	9	V_{REF}	基准电压输入/输出。使用内部基准电压源时，此引脚为基准输出。 此引脚默认用作基准输出。建议通过一个10 nF电容将此引脚去耦至GND。
10	10	V_{OUT}	DAC的模拟输出电压。输出放大器能以轨到轨方式工作。

典型性能参数

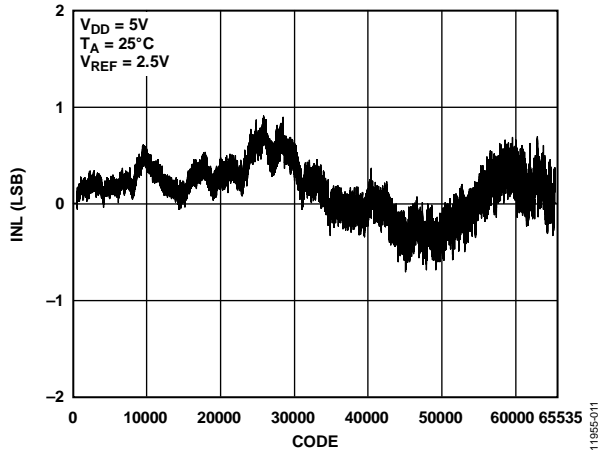


图11. AD5683R/AD5683 INL

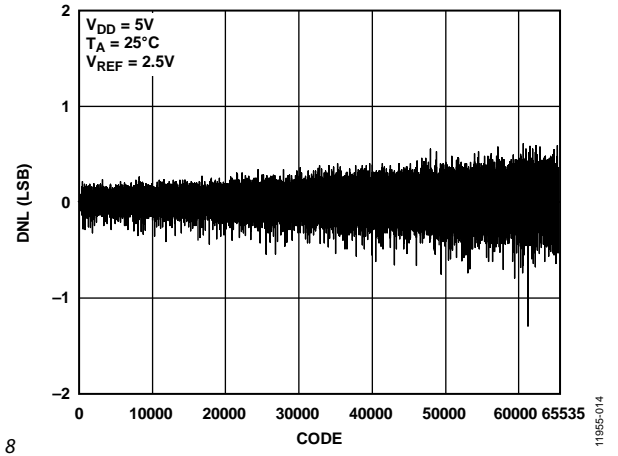


图14. AD5683R/AD5683 DNL

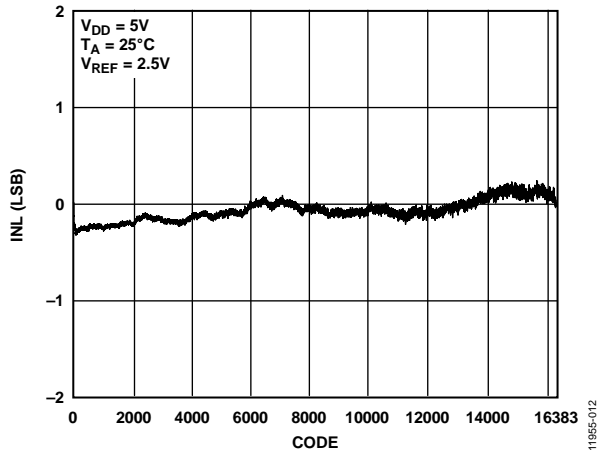


图12. AD5682R INL

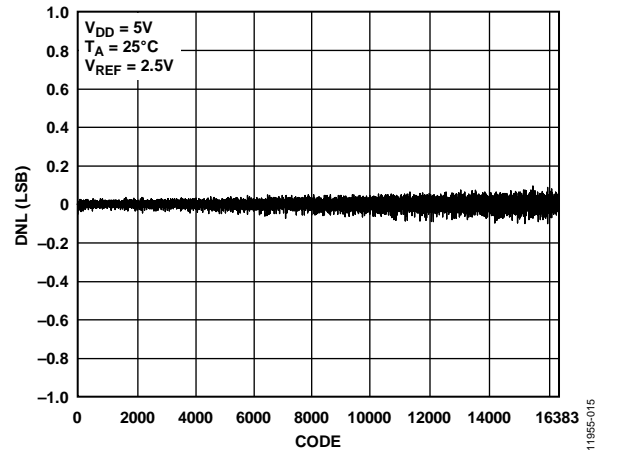


图15. AD5682R DNL

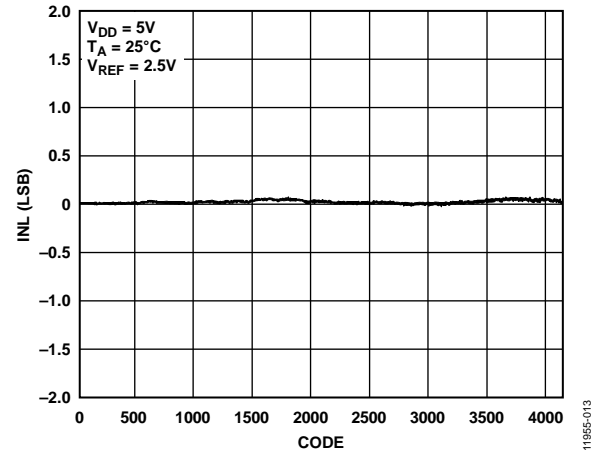


图13. AD5681R INL

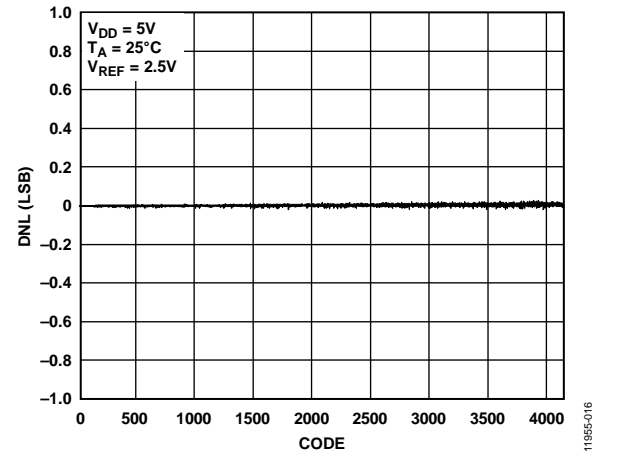


图16. AD5681R DNL

AD5683R/AD5682R/AD5681R/AD5683

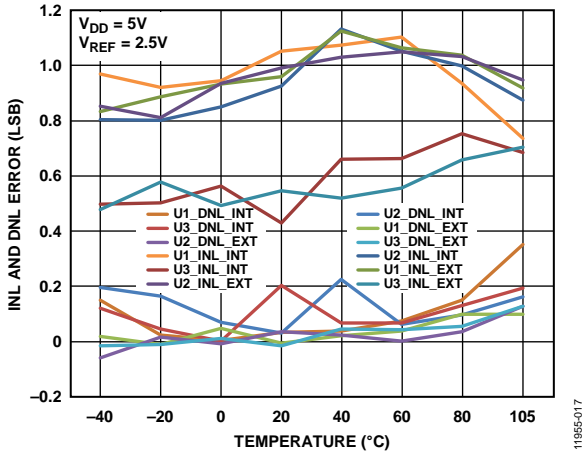


图17. INL和DNL误差与温度的关系(AD5683R/AD5683)

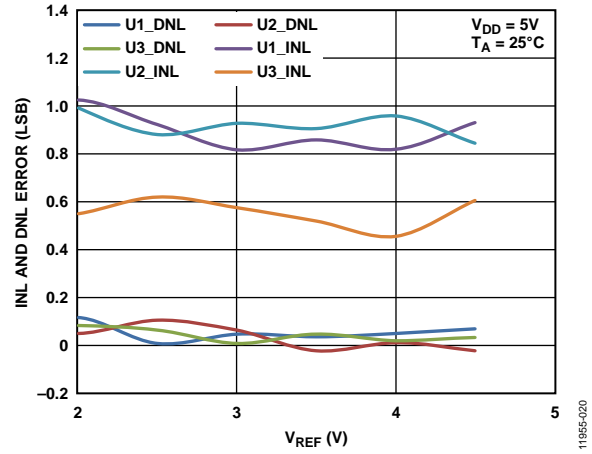


图20. INL和DNL误差与V_{REF}的关系(AD5683R/AD5683)

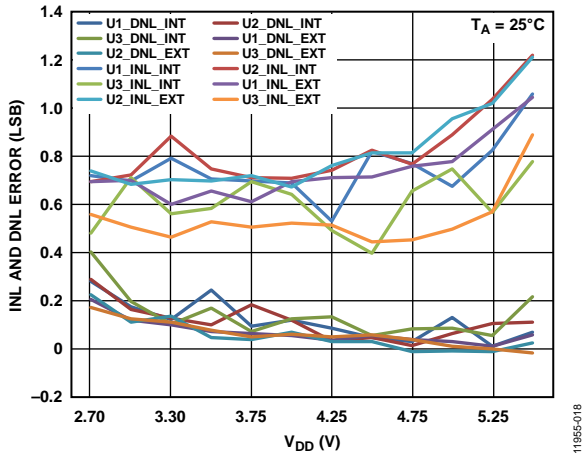


图18. INL和DNL误差与电源电压的关系

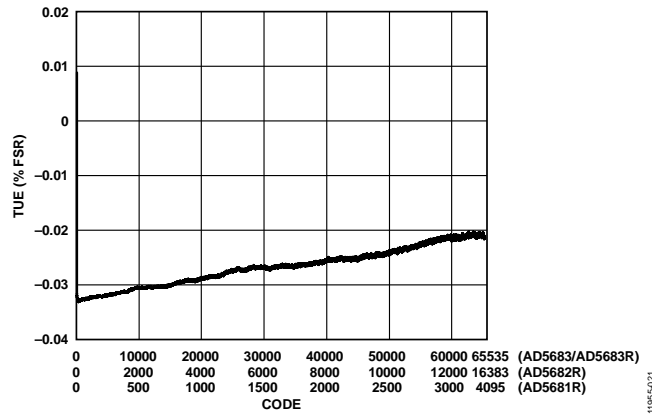


图21. TUE与代码的关系

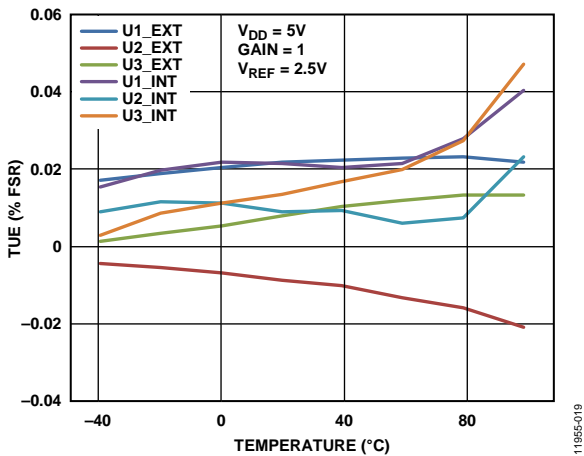


图19. TUE与温度的关系

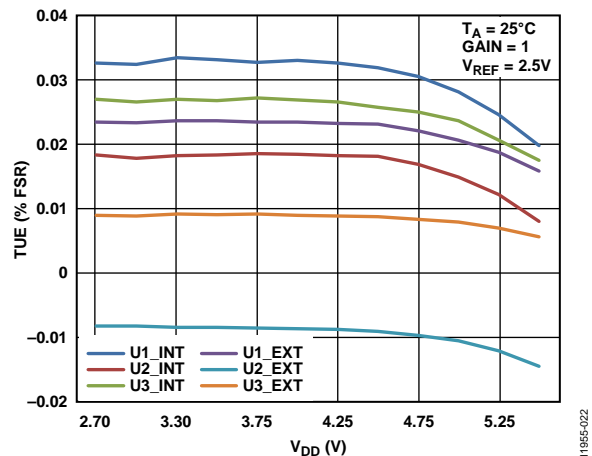


图22. TUE与电源电压的关系

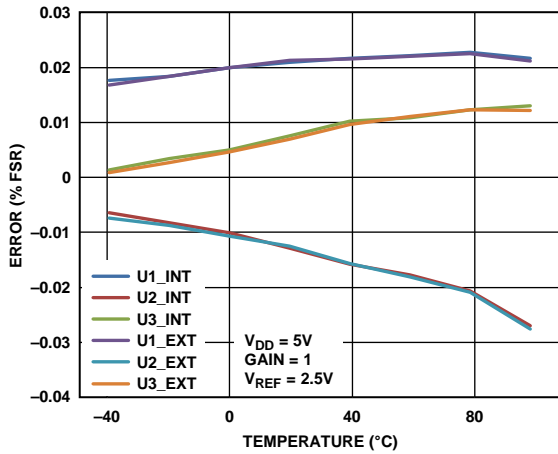


图23. 增益误差和满量程误差与温度的关系

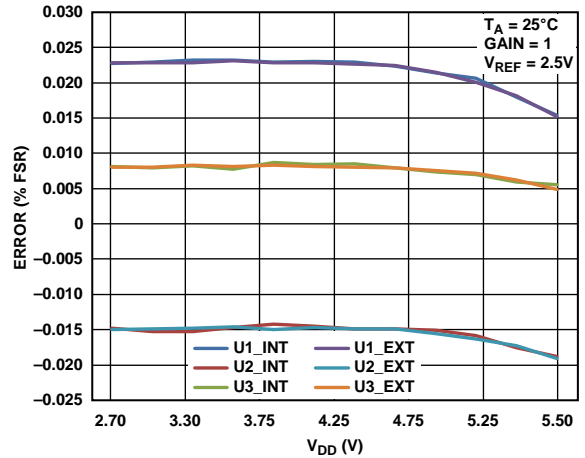


图26. 增益误差和满量程误差与电源的关系

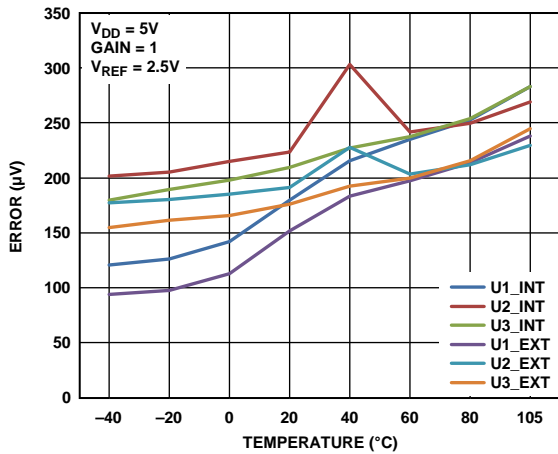


图24. 零代码误差和失调误差与温度的关系

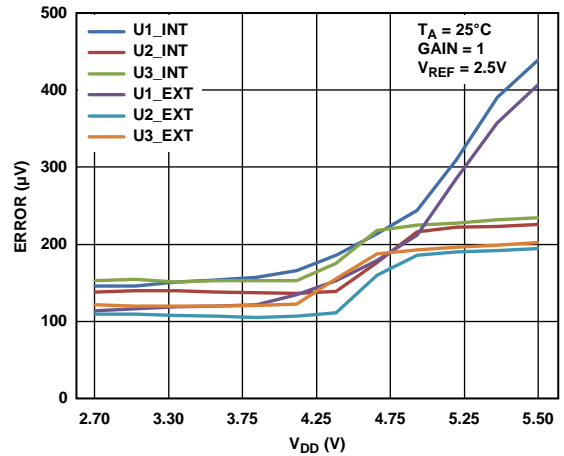


图27. 零代码误差和失调误差与电源的关系

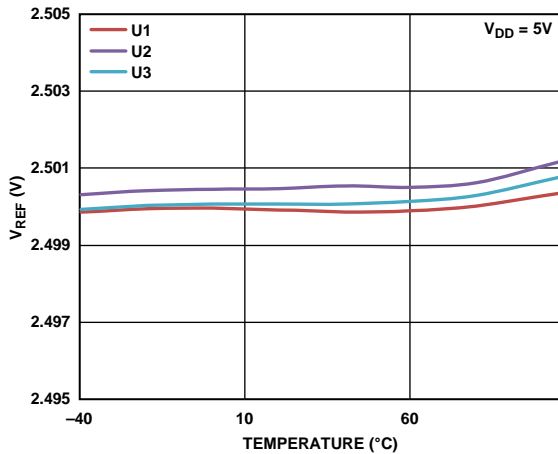


图25. 内部基准电压与温度的关系(B级)

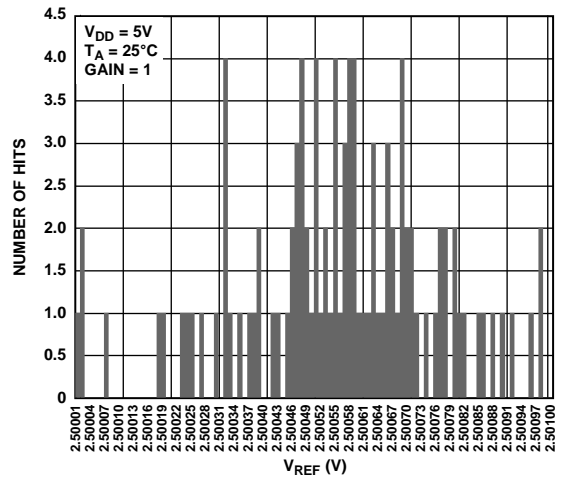


图28. 基准输出分布

AD5683R/AD5682R/AD5681R/AD5683

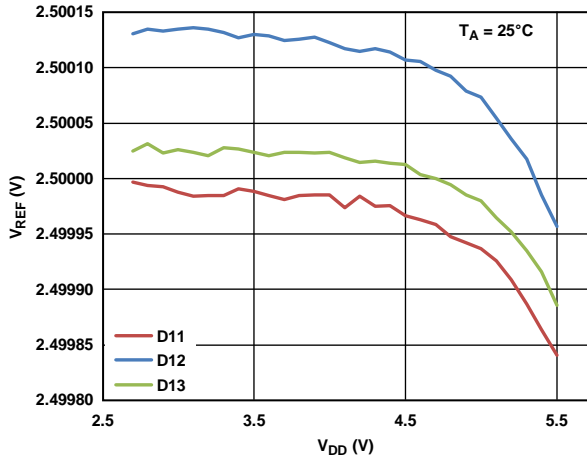


图29. 内部基准电压与电源电压的关系

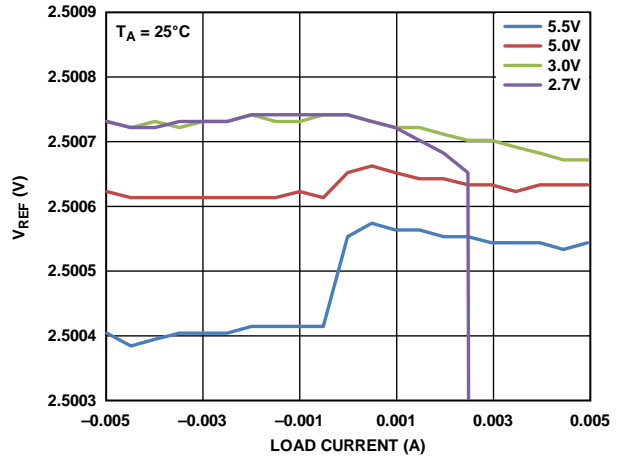


图32. 内部基准电压与负载电流的关系

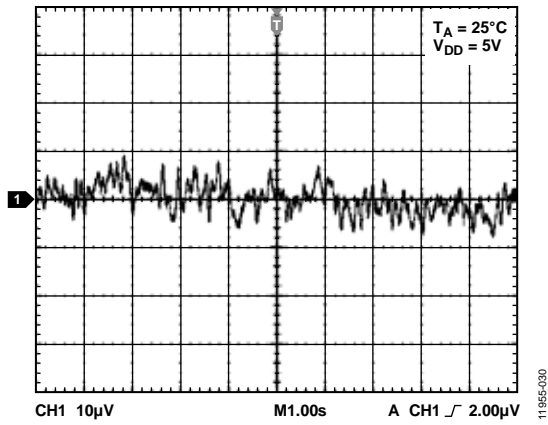


图30. 内部基准电压源噪声(0.1 Hz至10 Hz)

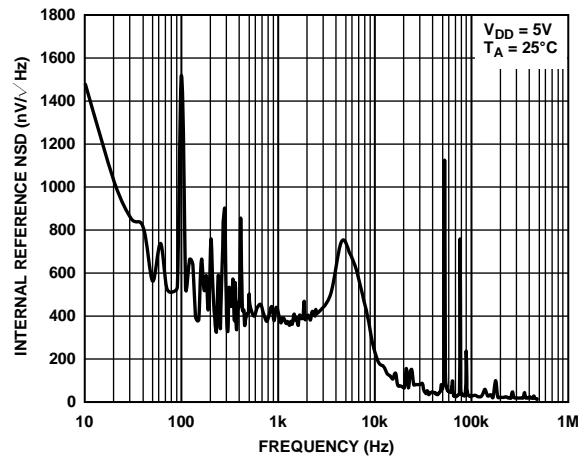


图33. 内部基准电压源噪声谱密度与频率的关系

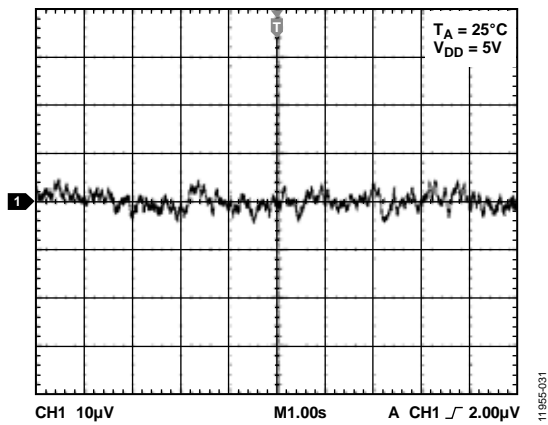


图31. 0.1 Hz至10 Hz输出噪声图, 内部基准电压源开启

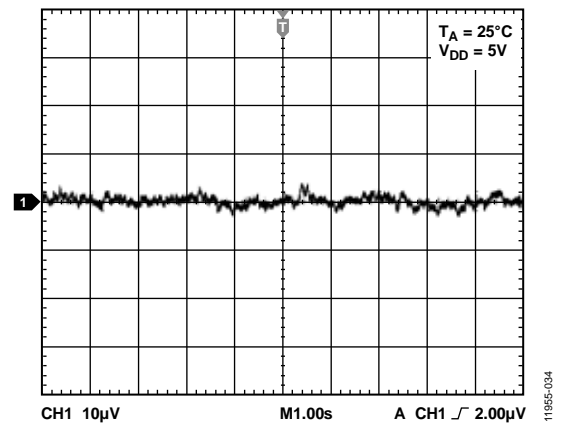


图34. 0.1 Hz至10 Hz输出噪声图, 外部基准电压源

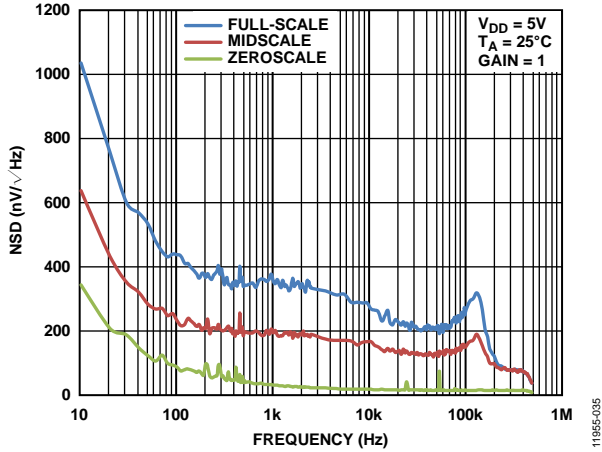


图35. 噪声频谱密度与频率的关系，增益 = 1

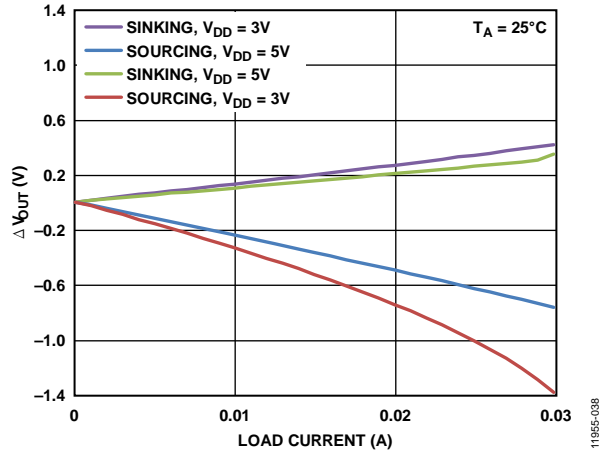


图38. 上裕量/下裕量与负载电流的关系

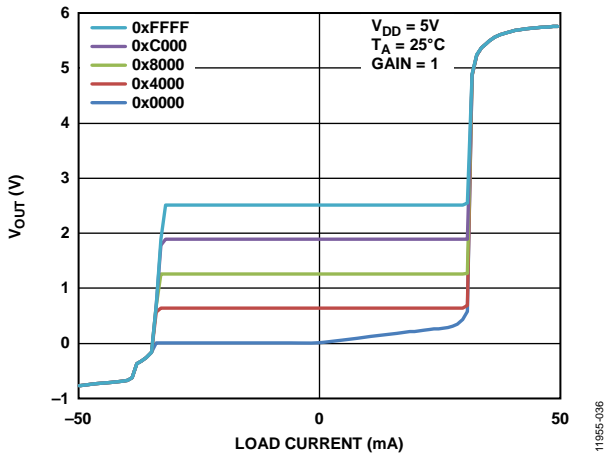


图36. 源电流和吸电流能力，增益 = 1

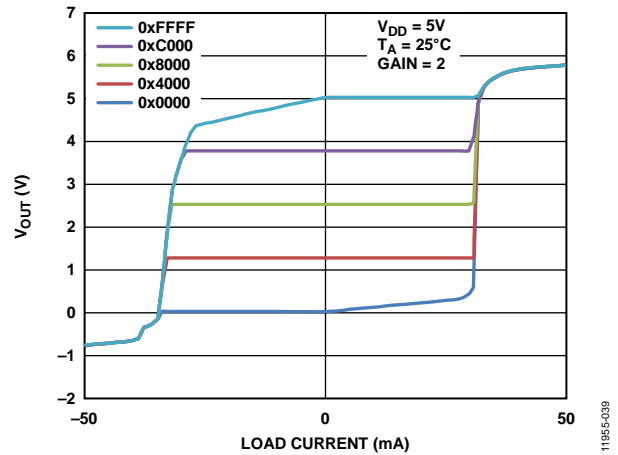


图39. 源电流和吸电流能力，增益 = 2

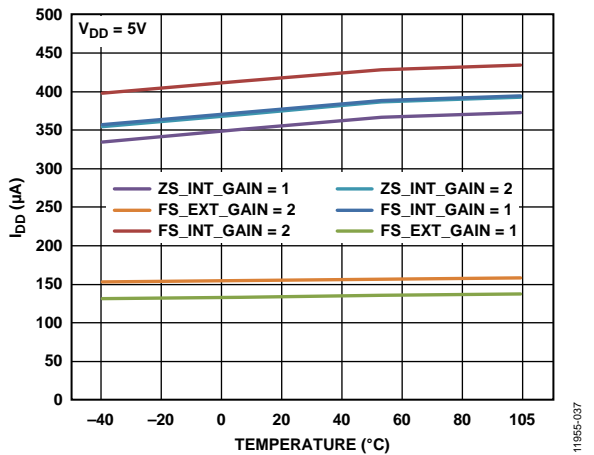


图37. 电源电流与温度的关系

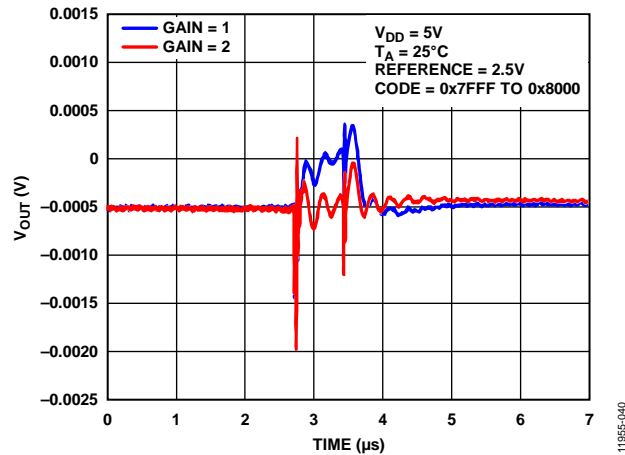


图40. 数模转换毛刺脉冲

AD5683R/AD5682R/AD5681R/AD5683

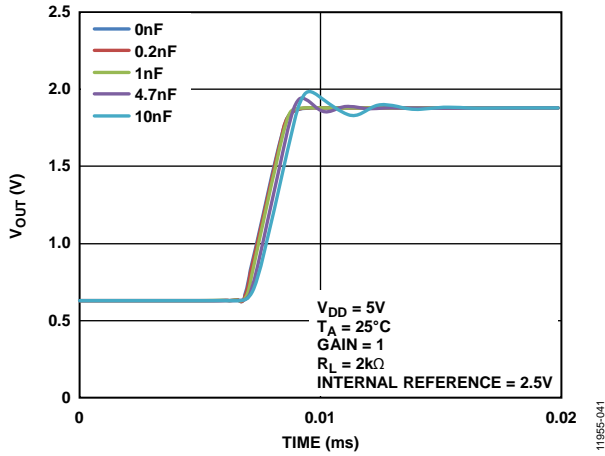


图41. 容性负载与建立时间的关系, 增益 = 1

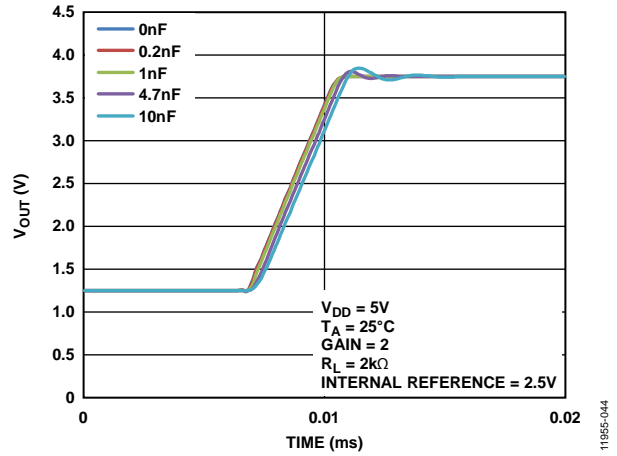


图44. 容性负载与建立时间的关系, 增益 = 2

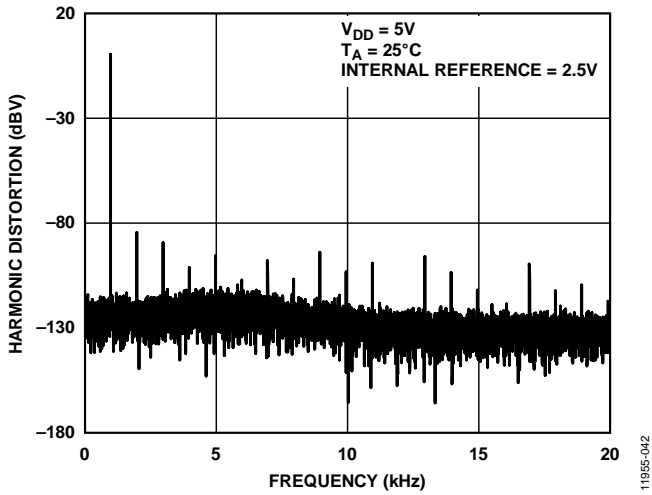


图42. 1 kHz时的总谐波失真

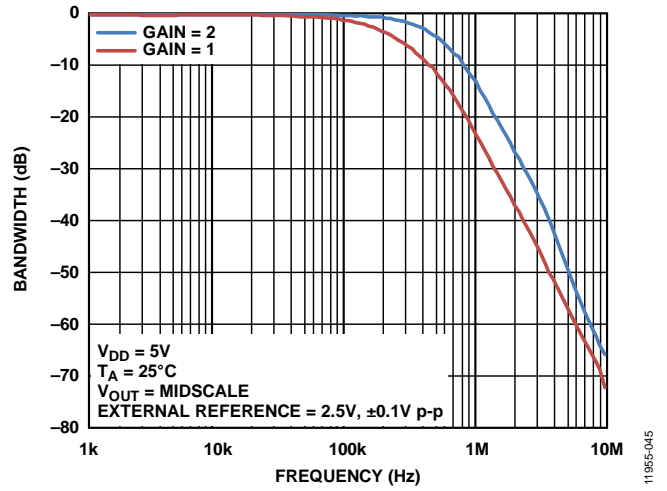


图45. 乘法带宽(外部基准电压源 = 2.5 V ± 0.1 V p-p, 10 kHz至10 MHz)

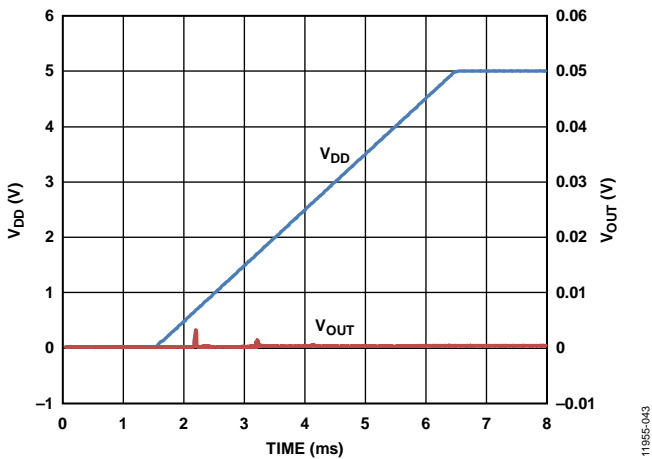


图43. 上电复位至0 V

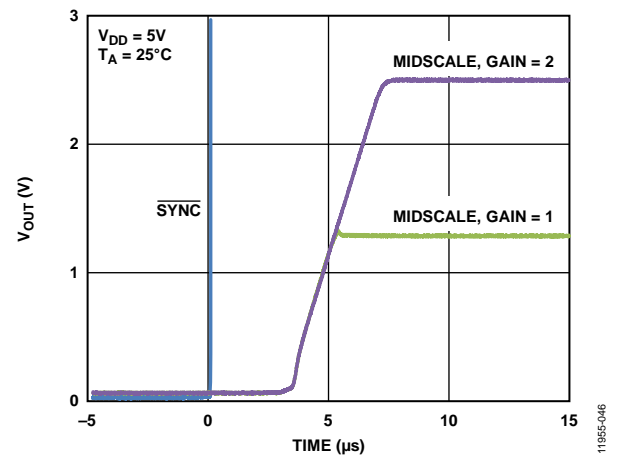


图46. 退出掉电模式进入中间电平

术语

相对精度或积分非线性(INL)

对于DAC，相对精度或积分非线性是指DAC输出与通过DAC传递函数的两个端点的直线之间的最大偏差，单位为LSB。典型INL与编码的关系参见图11、图12和图13。

差分非线性(DNL)

微分非线性是指任意两个相邻编码之间所测得变化值与理想的1 LSB变化值之间的差异。最大 ± 1 LSB的额定微分非线性可确保单调性。本DAC通过设计保证单调性。典型DNL与编码的关系参见图14、图15和图16。

零代码误差

零代码误差衡量将零电平码(0x0000)载入DAC寄存器时的输出误差。理想情况下，输出应为0 V。在AD5683R/AD5682R/AD5681R中，零代码误差始终为正值，因为在DAC和输出放大器中的失调误差的共同作用下，DAC输出不能低于0 V。零代码误差用mV表示。零代码误差与温度的关系参见图24。

满量程误差

满量程误差衡量将满量程代码(0xFFFF)载入DAC寄存器时的输出误差。理想情况下，输出应为(增益 $\times V_{REF}$) - 1 LSB。满量程误差用满量程范围的百分比(% FSR)表示。满量程误差曲线参见图23和图26。

增益误差

增益误差衡量DAC的程误差，表示DAC传递特性的斜率与理想值之间的偏差，用% FSR表示。

零编码误差漂移

零编码误差漂移衡量零代码误差随温度的变化，用 $\mu\text{V}/^\circ\text{C}$ 表示。

增益温度系数

增益温度系数用来衡量增益误差随温度的变化，用ppm FSR/ $^\circ\text{C}$ 表示。

失调误差

偏置误差是指传递函数线性区内 V_{OUT} (实际)和 V_{OUT} (理想)之间的差值，用mV表示。失调误差在AD5683R上是通过将代码512载入DAC寄存器测得的。该值可以为正，也可为负。

直流电源抑制比(PSRR)

PSRR表示电源电压变化对DAC输出的影响大小，是指DAC中间量程输出的条件下 V_{OUT} 变化量与 V_{DD} 变化量之比，单位为dB。 V_{REF} 保持在2 V，而 V_{DD} 的变化范围为 $\pm 10\%$ 。

输出电压建立时间

输出电压建立时间是指对于 $1/4$ 到 $3/4$ 量程的输入变化，DAC输出建立为指定电平所需的时间量。

数模转换毛刺脉冲

数模转换毛刺脉冲是DAC寄存器中的编码输入变化时注入模拟输出的脉冲。在数字输入代码主进位发生1 LSB转换(0x7FFF到0x8000)时测量，它一般定义为以nV-sec为单位的毛刺面积，如图40所示。

数字馈通

数字馈通衡量从DAC的数字输入注入DAC的模拟输出的脉冲，但在DAC输出未更新时进行测量。单位为nV-sec，测量数据总线上发生满量程编码变化时的情况，即全0至全1，反之亦然。

基准馈通

基准馈通是指DAC输出未更新时的DAC输出端的信号幅度与基准输入之比，用dB表示。

输出噪声频谱密度

噪声频谱密度衡量内部产生的随机噪音。随机噪声表示为频谱密度(nV/ $\sqrt{\text{Hz}}$)。测量方法是将DAC加载到中间电平，然后测量输出端噪声。单位为nV/ $\sqrt{\text{Hz}}$ 。噪声频谱密度图参见图31、图34和图35。内部基准电压源的噪声频谱密度参见图30和图33。

乘法带宽

DAC内部的放大器具有有限的带宽，乘法带宽即是衡量该有限带宽。参考端的正弦波(DAC加载满量程编码)出现在输出端。乘法带宽指输出幅度降至输入幅度以下3 dB时的频率。

总谐波失真(THD)

总谐波失真(THD)是指理想正弦波与使用DAC时其衰减形式的差别。正弦波用作DAC的参考，而THD用来衡量DAC输出端存在的谐波。单位为dB。

AD5683R/AD5682R/AD5681R/AD5683

基准电压温度系数(TC)

基准电压源TC衡量基准输出电压随温度的变化。基准电压源TC利用黑盒法计算，该方法将温度系数(TC)定义为基准电压输出在给定温度范围内的最大变化，用ppm/°C表示，计算公式如下：

$$TC = \left[\frac{V_{REFmax} - V_{REFmin}}{V_{REFnom} \times TempRange} \right] \times 10^6$$

其中：

V_{REFmax} 是在整个温度范围内测量的最大基准电压输出。

V_{REFmin} 是在整个温度范围内测量的最小基准电压输出。

V_{REFnom} 是标称基准输出电压2.5 V。

$TempRange$ 为额定温度范围：-40°C至+105°C。

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

工作原理

数模转换器

AD5683R/AD5682R/AD5681R分别为单通道、16/14/12位、串行输入、电压输出DAC，内置2.5 V基准电压源。采用2.7 V至5.5 V电源供电。数据通过三线式串行接口以24位字格式写入AD5683R/AD5682R/AD5681R。AD5683R/AD5682R/AD5681R内置一个上电复位电路，确保DAC输出上电至零电平。它们也有软件掉电模式，可以将典型功耗降至最大2 μ A。

传递函数

内部基准电压源默认使能。需要外部基准电压源的用户可以使用AD5683。DAC的输入编码方式为直接二进制。理想输出电压可通过以下公式计算：

对于AD5683R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{65,536} \right]$$

对于AD5682R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{16,384} \right]$$

对于AD5681R，

$$V_{OUT}(D) = Gain \times V_{REF} \times \left[\frac{D}{4096} \right]$$

其中：

D是载入DAC寄存器的二进制编码的十进制等效值。

Gain为输出放大器的增益。默认设置为1。利用写入控制寄存器中的增益位，也可以将该增益设置为2。

DAC架构

AD5683R/AD5682R/AD5681R/AD5683采用分段式串DAC架构，内置输出缓冲器。图47显示了内部功能框图。

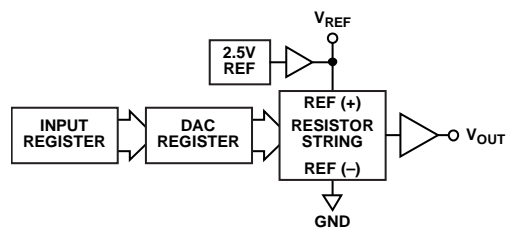


图47. DAC通道架构框图

简化的分段式电阻串DAC结构如图48所示。载入DAC寄存器的代码决定串上连接到输出缓冲器的开关状态。

串中的各电阻具有相同的值R，因此串DAC必定是单调的。

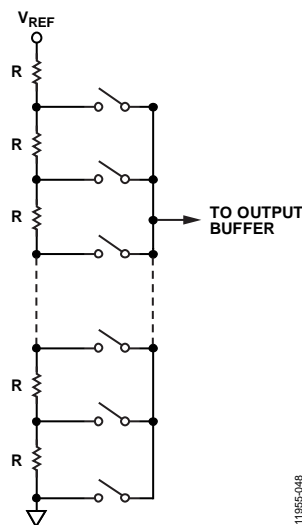


图48. 简化电阻串结构

内部基准电压源

AD5683R/AD5682R/AD5681R的片内基准电压源在上电时开启，可以通过写入控制寄存器予以禁用。

AD5683R/AD5682R/AD5681R各有一个2.5 V、2 ppm/°C基准电压源，满量程输出为2.5 V或5 V，具体取决于增益位的状态。

内部基准电压由V_{REF}引脚提供。它经过内部缓冲，能够驱动高达50 mA的外部负载。

外部基准电压源

V_{REF}引脚是AD5683的输入引脚。根据应用要求，AD5683R/AD5682R/AD5681R上的该引脚也可以配置为输入引脚，以便使用外部基准电压源。

AD5683R/AD5682R/AD5681R的片内基准电压源在上电时默认开启。将外部基准电压源连接到该引脚之前，应写入控制寄存器的REF位(位DB16)，禁用内部基准电压源。

AD5683R/AD5682R/AD5681R/AD5683

输出缓冲器

输出缓冲器采用输入/输出轨到轨设计，最大输出电压范围可达 V_{DD} 。增益位将分段式串DAC的增益设置为1或2，如表12所示。

输出缓冲电压由 V_{REF} 、增益位、失调和增益误差决定。

输出缓冲器可以驱动10 nF电容与2 k Ω 电阻的并联组合，如图41和图44所示。如果需要更高的容性负载，可使用缓冲方法或分流电阻将负载与输出放大器隔离。压摆率为0.7 V/ μ s， $\frac{1}{4}$ 到 $\frac{3}{4}$ 量程建立时间为5 μ s。

串行接口

AD5683R/AD5682R/AD5681R/AD5683采用三线式串行接口，它兼容某些SPI模式、模式1、模式2以及SPORT等完全同步接口。典型写序列的时序图参见图4。有关SPI接口的更多信息，请参见AN-1248应用笔记。

SPI串行数据接口

拉低SYNC引脚以使能内部输入移位寄存器，SDI引脚中的数据在SCLK下降沿采样到输入移位寄存器中。SYNC引脚必须保持低电平，直到从SDI引脚载入完整的数据字(24位，参见图4)。当SYNC变回高电平时，串行数据字按照表9中的说明解码。

在连续的数据字之间，SYNC必须保持高电平至少20 μ s。

经过24个下降时钟沿后，如果SYNC变为高电平，它将被解读为有效的写操作，前24位被载入输入移位寄存器。

为了最大程度地降低功耗，建议所有串行接口引脚都在供电轨附近操作。

短写操作(仅AD5681R)

需要时，AD5681R SPI串行接口允许利用较少的时钟来传输数据。如果输入或DAC寄存器按照表9所示写入，则后8位是无关位。为了提高DAC更新速率，可以缩小数据字。

在16个和24个时钟沿之间，如果SYNC变为高电平，它将被解读为有效的写操作，仅前16位被解码，如图49所示。如果SYNC在16个下降时钟沿之前变为高电平，则忽略该串行写操作，写序列被视为无效。如果DCEN位使能，则不能使用该功能(参见表11)。

SDO引脚

串行数据输出引脚(SDO，仅AD5683R提高)用于两种目的：回读DAC寄存器的内容和在菊花链模式下连接器件。

SDO引脚包含一个内置弱下拉电阻的推挽输出。数据在SCLK的上升沿从SDO输出(如图4所示)，仅当DCEN位在写入控制寄存器中使能或在回读命令期间自动使能时，该引脚才有效。在待机模式下，内部下拉电阻迫使总线处于逻辑0状态。内部下拉电阻的值很大，使用并行连接时，其它器件可以控制SDO线。

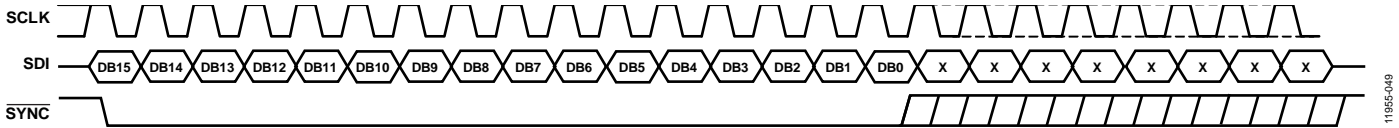


图49. AD5681R的短写操作

11965-049

AD5683R/AD5682R/AD5681R/AD5683

菊花链连接

菊花链形式可以最大程度地减少控制IC的引脚数量要求。如图50所示，必须将一个封装的SDO引脚连接到下一个封装的SDI引脚。由于后续器件之间的线路存在传播延迟，因此可能需要延长时钟周期(如表4所示)。

SDO引脚默认禁用。若要使能菊花链工作模式，必须将写入控制寄存器的DCEN位设置为1(参见表10)。

使能菊花链模式时(DCEN = 1)，AD5683R/AD5682R/AD5681R/AD5683会将任何大于24位的数据字视为有效帧，并解码接收到的最后24位，如图51所示。

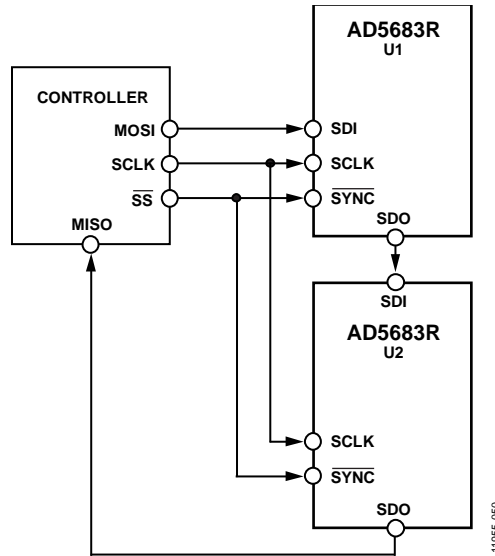


图50. 菊花链连接

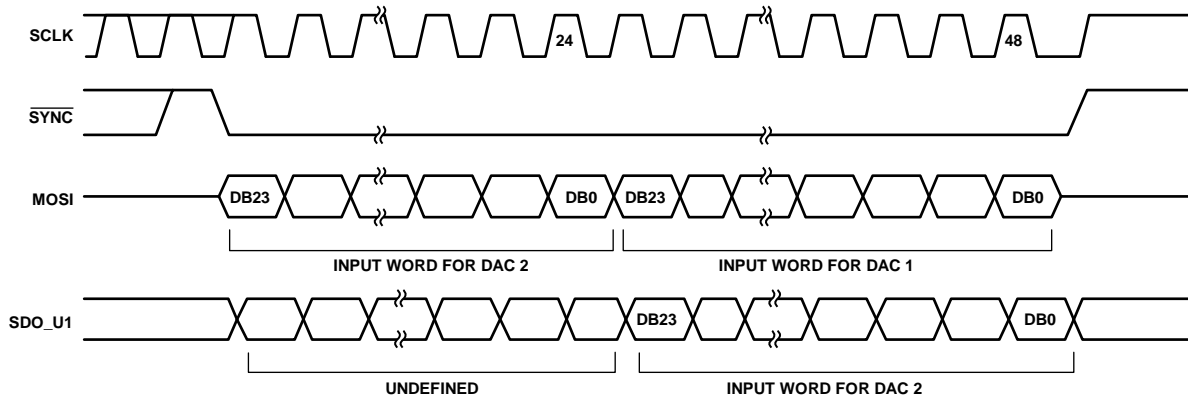


图51. 菊花链时序图

内部寄存器

输入移位寄存器

AD5683R/AD5682R/AD5681R/AD5683的移位寄存器为24位宽。串行数据以MSB优先(DB23)方式加载，前4位C3至C0是命令位，后面是数据位。

数据位包括20位、18位或16位输入码，其后是若干无关位，如表9所示。命令在SYNC的上升沿解码。

输入寄存器

输入寄存器用作预加载新数据的缓冲器。此寄存器不控制 V_{OUT} 引脚的电压。将输入寄存器中的内容传送到DAC寄存器有两种不同的方法：通过软件或通过硬件。

DAC寄存器

DAC寄存器控制 V_{OUT} 引脚的电压。通过发出命令，或将输入寄存器的内容传送到DAC寄存器，可更新该寄存器。

命令

写入输入寄存器

该寄存器允许预载入DAC寄存器的新值。从输入寄存器到DAC寄存器的传输可通过硬件、LDAC引脚或软件(使用命令2)触发。

如果直接使用命令3将新数据载入DAC寄存器，则DAC寄存器将自动覆盖输入寄存器的内容。

更新DAC寄存器

该命令将输入寄存器中的内容传送到DAC寄存器，并因此而更新 V_{OUT} 引脚。

此操作与软件LDAC等效。

写入DAC寄存器

DAC寄存器控制DAC的输出电压。完成写操作时，该命令更新DAC寄存器。输入寄存器自动更新为DAC寄存器值。

表9. 命令操作

命令 [DB23:DB20]				数据位[DB19:DB0] ¹												操作
C3	C2	C1	C0	DB19	DB18	DB17	DB16	DB15	DB14	[DB13:DB8]	DB7	DB6	DB5	DB4	[DB3:DB0]	
0	0	0	0	X	X	X	X	X	X	X...X	X	X	X	X	X...X	无操作
0	0	0	1	DB15	DB14	DB13	DB12	DB11	DB10	DB9...DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	X...X	写入输入寄存器
0	0	1	0	X	X	X	X	X	X	X...X	X	X	X	X	X...X	更新DAC寄存器 (软件LDAC)
0	0	1	1	DB15	DB14	DB13	DB12	DB11	DB10	DB9...DB4	DB3 ²	DB2 ²	DB1 ^{2,3}	DB0 ^{2,3}	X...X	写入DAC和输入 寄存器
0	1	0	0	DB19	DB18	DB17	DB16	DB15	DB14	0...0	0	0	0	0	0...0	写入控制寄存器
0	1	0	1	X	X	X	X	X	X	X...X	X	X	X	X	X...X	回读输入 寄存器

¹ X = 无关位。

² 对于AD5681R，此位是无关位。

³ 对于AD5682R，此位是无关位。

AD5683R/AD5682R/AD5681R/AD5683

写入控制寄存器

写入控制寄存器用于设置掉电和增益功能。它还用来使能/禁用内部基准源以及执行软件复位。写入控制寄存器功能参见表10。

表10. 写入控制寄存器位

DB19	DB18	DB17	DB16	DB15	DB14
Reset	PD1	PD0	REF	Gain	DCEN

DCEN位

菊花链使能位(DCEN, 位DB14)用于使能SDO引脚, 以便器件在菊花链模式下工作。执行回读命令, 该位自动禁用。使能该位将禁用AD5681R的写入短命令特性。

表11. 菊花链使能位(DCEN)

DB0	模式
0	独立模式(默认)
1	DCEN模式

增益位(Gain)

gain位选择输出放大器的增益。表12列出了输出电压范围与该位状态的对应关系。

表12. Gain位

Gain	输出电压范围
0	0 V至 V_{REF} (默认)
1	0 V至 $2 \times V_{REF}$

REF位

片内基准电压源在上电时默认开启。通过设置写入控制寄存器中的软件可编程位DB16, 可以开启或关闭此基准电压源。表13列出了该位的状态与工作模式的对应关系。

为降低功耗, 如果器件被置于掉电模式, 建议禁用内部基准电压源。

表13. 基准电压源位(REF)

REF	基准电压源功能
0	基准电压源使能(默认)
1	基准电压源禁用

PD0和PD1位

AD5683R/AD5682R/AD5681R支持两种工作模式, 利用写入控制寄存器可以选择工作模式。

正常模式下, 输出缓冲器直接与 V_{OUT} 引脚相连。

掉电模式, 输出缓冲器内部禁用, V_{OUT} 引脚输出阻抗可以选择熟知的值, 如表14所示。

表14. 工作模式

工作模式	PD1	PD0
正常模式	0	0
掉电模式		
1 k Ω 输出阻抗	0	1
100 k Ω 输出阻抗	1	0
三态输出阻抗	1	1

掉电模式下, 器件禁用输出缓冲器, 但不禁用内部基准电压源。为最大程度地降低功耗, 可能的话, 建议禁用REF位。

内部基准电压源和输出缓冲器均禁用时, 电源电流降至2 μ A(5 V电源)。

图52显示了输出级。

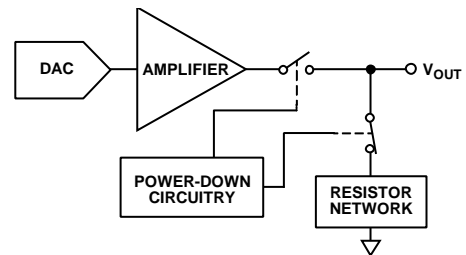


图52. 掉电模式下的输出级

掉电模式激活时, 输出放大器关断。然而, 除非内部基准电压源关断(使用控制寄存器的位DB16), 否则偏置发生器、基准源和电阻串仍然开启。掉电模式下, 弱SDO电阻也会断开。电源电流降至2 μ A(5 V电源)。DAC寄存器的内容不受掉电模式的影响, DAC寄存器可以继续更新。当 $VDD = 5$ V时, 退出掉电模式所需时间通常为4 μ s, 基准电压源禁用时则需600 μ s。

复位(Reset)

AD5683R/AD5682R/AD5681R的写入控制寄存器包含软件复位功能, 可将输入和DAC寄存器复位至零电平, 并将写入控制寄存器复位至默认值。将写入控制寄存器的reset位(位DB19)设为1时, 就会启动软件复位。软件复位完成时, reset位自动清0。

回读输入寄存器

AD5683R允许利用命令5(参见表9)来通过SDO引脚回读输入寄存器的内容,如图53所示。

读操作期间,SDO引脚自动使能,完成后即再次禁用,如表15所示。如果DCEN位在读操作之前使能,则读操作之后,该位复位。如果AD5683R在菊花链模式下工作,用户必须再次使能DCEN位。

表15. 写入和回读序列

SDI	SDO	操作
0x180000	0x000000	将0x8000写入输入寄存器
0x500000	0x000000	准备从输入寄存器读取数据
0x000000	0xX8000X ¹	输出数据

¹ X = 无关位。

硬件LDAC

AD5683R/AD5682R/AD5681R/AD5683的DAC有一个由输入寄存器和DAC寄存器组成的双缓冲接口。LDAC将输入寄存器中的数据传送到DAC寄存器,并因此而更新输出。

当数据进入输入移位寄存器时,LDAC要保持高电平。拉高SYNC后,通过拉低LDAC可以更新DAC输出。输出DAC在LDAC的下降沿更新。

若在传送数据期间发送脉冲至LDAC,该脉冲将被忽略。

硬件RESET

RESET 是一个低电平有效信号,用于将输入和DAC寄存器设置为零电平,并将控制寄存器设为默认值。RESET必须保持75 ns的低电平才能完成该操作。当RESET信号变回高电平后,输出会保持零电平,直到写入新值。在RESET引脚为低电平期间,AD5683R/AD5681R会忽略任何新命令。

若RESET在上电时保持低电平,内部基准电压源将不能正确初始化,直到RESET引脚被释放为止。

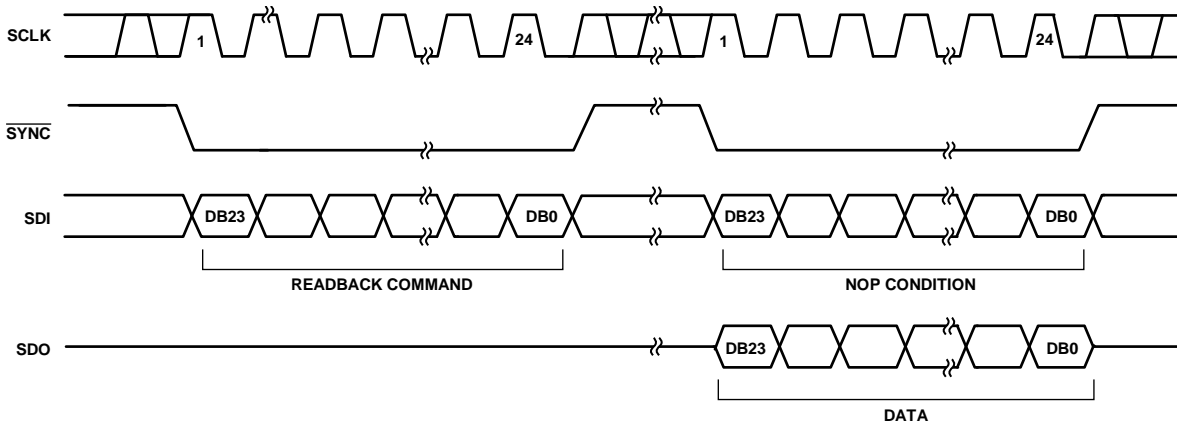


图53. 回读操作

11955-054

AD5683R/AD5682R/AD5681R/AD5683

热滞

热滞是指当温度从环境温度变冷再变热之后回到环境温度时基准电压上出现的电压差。

热滞数据如图54所示。其测量条件是从环境温度变为 -40°C ，再变为 $+105^{\circ}\text{C}$ ，最后回到环境温度。然后，测得两次环境温度下测量结果之间的偏差 V_{REF} ，如图54中的实线所示。接着，立即重复相同的温度扫描和测量，其结果如图54中的虚线所示。

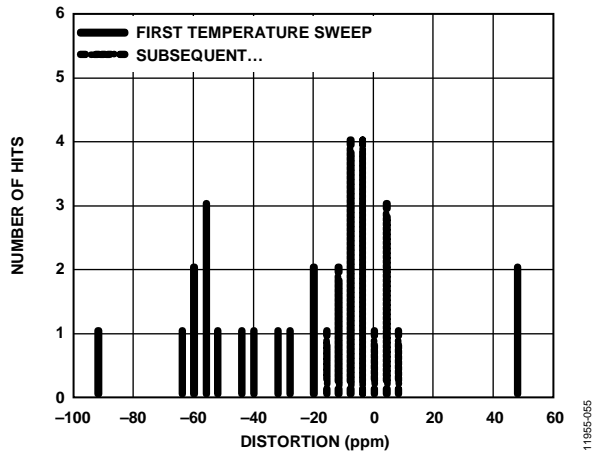


图54. 热滞

上电时序

由于有二极管来限制数字引脚和模拟引脚的顺从电压，因此必须先给GND供电，然后再向 V_{DD} 、 V_{OUT} 和 V_{LOGIC} 施加电压。否则，二极管将正偏，以致 V_{DD} 意外上电。理想的上电时序为GND、 V_{DD} 、 V_{LOGIC} 、 V_{REF} ，然后是数字输入。

布局布线指南

在任何注重精度的电路中，精心考虑电源和接地回路布局都有助于确保达到规定的性能。安装AD5683R/AD5682R/AD5681R/AD5683所用的印刷电路板(PCB)应经过专门设计，使这些ADC位于模拟平面。

确保AD5683R/AD5682R/AD5681R/AD5683具有足够大的 $10\ \mu\text{F}$ 电源旁路电容，与每个电源上的 $0.1\ \mu\text{F}$ 电容并联，并且尽可能靠近封装，最好是正对着该器件。 $10\ \mu\text{F}$ 电容应为钽珠型电容。 $0.1\ \mu\text{F}$ 电容应具有低有效串联电阻(ESR)和低有效串联电感(ESI)，如高频时提供低阻抗接地路径的普通陶瓷型电容，以便处理内部逻辑开关所引起的瞬态电流。

在一个电路板上使用多个器件的系统中，提供一定的散热能力通常有助于功率耗散。

LFCSP封装的AD5683R/AD5682R/AD5681R/AD5683器件下方具有裸露焊盘。该焊盘与器件的GND电源相连。为了获得最佳性能，在设计母板和安装器件时需要有一些特殊考虑。为了改善散热、电气和板级性能，需将封装底部的裸露焊盘焊接到PCB上相应的散热焊盘上。为进一步改善散热性能，PCB焊盘区可以设计一些散热通孔。

可以扩大器件上的GND平面(如图55所示)，以提供自然散热效应。

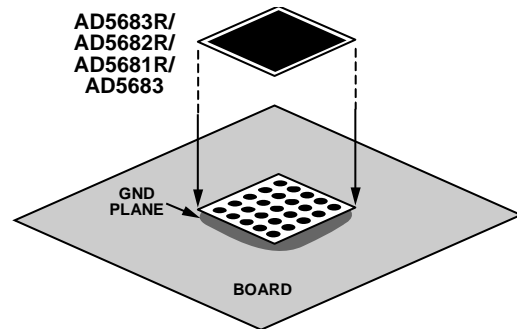


图55. 焊盘与电路板的连接

外形尺寸

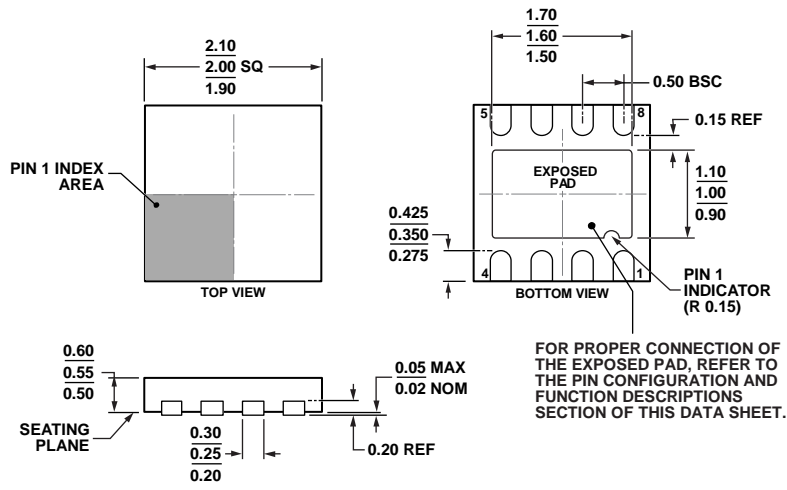


图56. 8引脚引脚架构芯片级封装[LFCSP_UD] 2.00 mm × 2.00 mm
超薄体双引脚(CP-8-10)
图示尺寸单位: mm

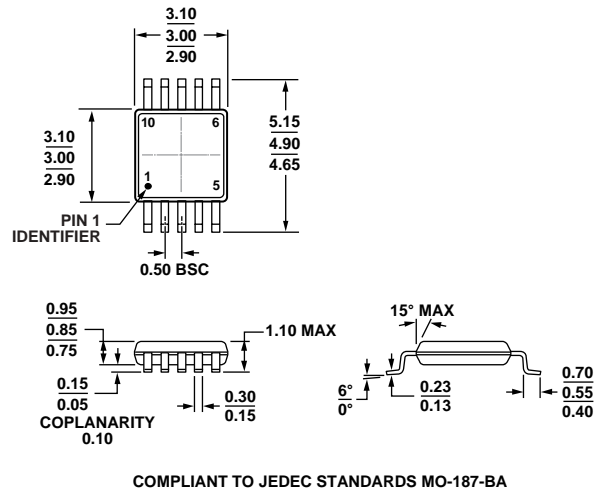


图57. 10引脚超小型封装[MSOP](RM-10)
图示尺寸单位: mm

AD5683R/AD5682R/AD5681R/AD5683

订购指南

型号 ¹	分辨率 (位)	引脚排列	温度范围	性能	封装描述	封装选项	标识
AD5683RACPZ-RL7	16	LDAC	-40°C至+105°C	A级	8引脚LFCSP_UD	CP-8-10	94
AD5683RACPZ-1RL7	16	V _{LOGIC}	-40°C至+105°C	A级	8引脚LFCSP_UD	CP-8-10	95
AD5683RACPZ-2RL7	16	RESET	-40°C至+105°C	A级	8引脚LFCSP_UD	CP-8-10	96
AD5683RARMZ	16	V _{LOGIC}	-40°C至+105°C	A级	10引脚MSOP	RM-10	DHY
AD5683RARMZ-RL7	16	V _{LOGIC}	-40°C至+105°C	A级	10引脚MSOP	RM-10	DHY
AD5683RBRMZ	16	V _{LOGIC}	-40°C至+105°C	B级	10引脚MSOP	RM-10	DHZ
AD5683RBRMZ-RL7	16	V _{LOGIC}	-40°C至+105°C	B级	10引脚MSOP	RM-10	DHZ
AD5683RBRMZ-3	16	SDO	-40°C至+105°C	B级	10引脚MSOP	RM-10	DJO
AD5683RBRMZ-3-RL7	16	SDO	-40°C至+105°C	B级	10引脚MSOP	RM-10	DJO
AD5683BCPZ-RL7	16	LDAC	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	9A
AD5682RBCPZ-RL	14	LDAC	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	9B
AD5682RBCPZ-RL7	14	LDAC	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	9B
AD5681RBCPZ-RL	12	LDAC	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	98
AD5681RBCPZ-RL7	12	LDAC	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	98
AD5681RBCPZ-1RL	12	V _{LOGIC}	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	99
AD5681RBCPZ-1RL7	12	V _{LOGIC}	-40°C至+105°C	B级	8引脚LFCSP_UD	CP-8-10	99
AD5681RBRMZ	12	V _{LOGIC}	-40°C至+105°C	B级	10引脚MSOP	RM-10	DHX
AD5681RBRMZ-RL7	12	V _{LOGIC}	-40°C至+105°C	B级	10引脚MSOP	RM-10	DHX

¹ Z = 符合RoHS标准的器件。